

Family list

9 family members for:

JP61166074

Derived from 7 applications.

- 1 METHOD FOR RECRYSTALLIZING SPECIFIED PORTIONS OF A NON-CRYSTALLINE SEMICONDUCTOR MATERIAL TO FABRICATE A SEMICONDUCTOR DEVICE THEREIN**
Publication info: DE3587100D D1 - 1993-03-25
- 2 METHOD FOR RECRYSTALLIZING SPECIFIED PORTIONS OF A NON-CRYSTALLINE SEMICONDUCTOR MATERIAL TO FABRICATE A SEMICONDUCTOR DEVICE THEREIN**
Publication info: DE3587100T T2 - 1993-09-09
- 3 A manufacturing method of an integrated circuit based on semiconductor-on-insulator technology.**
Publication info: EP0178447 A2 - 1986-04-23
EP0178447 A3 - 1988-02-03
EP0178447 B1 - 1993-02-17
- 4 MANUFACTURE OF SEMICONDUCTOR DEVICE**
Publication info: JP61089621 A - 1986-05-07
- 5 INSULATED GATE TYPE TRANSISTOR AND MANUFACTURE THEREOF**
Publication info: JP61166074 A - 1986-07-26
- 6 MANUFACTURING METHOD OF AN IC AND DEVICE**
Publication info: KR9000561 B1 - 1990-01-31
- 7 METHOD FOR RECRYSTALLIZING SPECIFIED PORTIONS OF A NON-CRYSTALLINE SEMICONDUCTOR MATERIAL TO FABRICATE A SEMICONDUCTOR DEVICE THEREIN**
Publication info: US5077233 A - 1991-12-31

Data supplied from the *esp@cenet* database - Worldwide

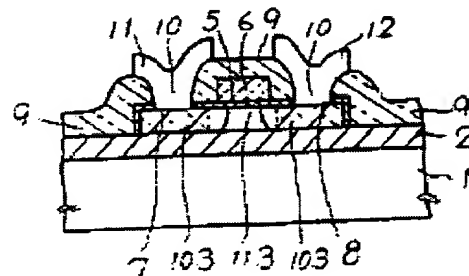
INSULATED GATE TYPE TRANSISTOR AND MANUFACTURE THEREOF

Patent number: JP61166074
Publication date: 1986-07-26
Inventor: MUKAI RYOICHI
Applicant: FUJITSU LTD
Classification:
- international: **H01L29/786; H01L21/762; H01L29/66; H01L21/70;**
(IPC1-7): H01L21/208; H01L27/12; H01L29/78
- european: H01L29/786B4; H01L29/786E2
Application number: JP19850006221 19850117
Priority number(s): JP19850006221 19850117

Report a data error here

Abstract of JP61166074

PURPOSE:To prevent the deterioration of the performance of SOI structure, and to improve yield by forming a channel region in the lower section of a gate into a single crystal region selectively shaped into a recrystallized silicon layer. **CONSTITUTION:**An insulated gate consisting of a gate oxide film 5 and a gate electrode 6 is shaped onto a single crystal region 113, which is formed selectively to an silicon pattern Ptr composed of a recrystallized silicon layer 103 on an SiO insulating film 2 and in which there is no crystal grain boundary, and a channel region ch is shaped into the single crystal region 113. Accordingly, a short circuit between a source and a drain, the variation of threshold voltage, the increase of leakage currents, etc. due to the diffusion of an impurity in source-drain regions in a subsequent high-temperature heat treatment process are prevented, and the speed of the operation is also not decelerated because the carrier mobility of the channel region also does not lower.



Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-166074

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)7月26日

H 01 L 29/78
21/208
27/12

8422-5F
7739-5F
7514-5F

審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 絶縁ゲート型トランジスタ及びその製造方法

⑯ 特 願 昭60-6221

⑰ 出 願 昭60(1985)1月17日

⑱ 発 明 者 向 井 良 一 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
⑳ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

絶縁ゲート型トランジスタ及びその製造方法

2. 特許請求の範囲

1. 絶縁基体上に配設された半導体再結晶層に形成され、少なくともチャネル領域のみが選択的に結晶粒界のない単結晶層よりなることを特徴とする絶縁ゲート型トランジスタ。

2. 絶縁基体上に非単結晶半導体層を成長させる工程と、該半導体層上に反射防止膜を形成する工程と、該反射防止膜に該半導体層に形成されるトランジスタのチャネルとなる領域を表出する開孔を形成する工程と、該反射防止膜上からレーザ・ビーム走査を行って該半導体層を順次熔融再結晶させ該開孔の下部に選択的に単結晶領域を形成する工程と、該単結晶領域上に絶縁ゲートを形成する工程とを含むことを特徴とする絶縁ゲート型トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は絶縁ゲート型トランジスタに係り、特に絶縁基体上の半導体層上に形成される絶縁ゲート型トランジスタの構造に関する。

絶縁ゲート型デバイス(MOSデバイス)において、素子間分離耐圧の向上、寄生容量の低減による動作速度の向上、更には高集積化手段としての3次元デバイスの構成等の面から、絶縁膜等の絶縁基体上にシリコン層を形成し、該シリコン層に半導体素子を作り付けるSOI(Silicon On Insulator)構造が注目されている。

然しながら該SOI構造のMOSデバイスにおいては、絶縁基体上のシリコン層が、シリコン単結晶基板の場合と異なり完全に結晶粒界がない単結晶とはなっていないために、リーク電流の増大、閾値電圧の変動等によって該デバイスがシリコン単結晶基板に形成される通常のMOSデバイスに比べて性能的に劣るという問題があり、該SOI構造のMOSデバイスの性能向上が強く要望されている。

(従来の技術)

SOI構造のMOSトランジスタは、従来第3図(a)乃至(e)の工程断面図に示すような方法で形成されていた。

第3図(a)参照

即ち、先ずシリコン基板1上に例えば熱酸化法により厚さ1 μ m程度の二酸化シリコン(SiO₂)絶縁膜2を形成し、

次いで該SiO₂絶縁膜2上に化学気相成長(CVD)法により厚さ例えば4000Å程度の多結晶(若しくは非晶質)シリコン層3を形成する。

第3図(b)参照

次いで該多結晶シリコン層3上にCVD法により反射防止膜4を形成した後、

該多結晶シリコン層3の全面上をアルゴンイオン・レーザビームLBにより走査して順次溶融し該シリコン層3を再結晶シリコン層103とする。なお203はシリコン溶融領域を示す。

第4図は該レーザビーム走査の方法を示す模式平面図で、走査は例えば基板側を動かして矢印mのように蛇行して行く。そして蛇行ピッチpは図

該ゲート電極6をマスクにして砒素(A₅)のイオン注入を行い、所定のアニール処理を行って、n⁺型ソース領域7及びp⁺型ドレイン領域8を形成する。

第3図(c)参照

そして以後通常の方法により、層間絶縁膜9を形成し、該層間絶縁膜9にコンタクト窓10を形成し、該層間絶縁膜9上にソース配線11及びドレイン配線12を形成しSOI構造のMOSトランジスタが完成せしめられていた。

(発明が解決しようとする問題点)

上記第3図(a)の工程説明から明らかなように従来のSOI型MOSトランジスタの製造方法においては、SiO₂絶縁膜2全面上の多結晶シリコン層3を一様に再結晶させて単結晶化しようとしていた。然し現在の技術ではこれは殆ど不可能であり、該シリコン層は複数の小単結晶領域の集合体である結晶粒界を含んだ再結晶シリコン層103となる。(上記技術ではチップ・サイズで単結晶化することも極めて困難である。)

示のようにビームスポットSの直径Dより狭くして、溶融領域がオーバーラップするようにする。

第3図(d)参照

次いで上記再結晶シリコン層103に例えば砒素(B)をイオン注入し、所定のアニール処理を施して該再結晶シリコン層103をp型とし、

次いで該再結晶シリコン層103を所定のトランジスタ形状にパターンニングして該SiO₂絶縁膜2上にp型の再結晶シリコン層パターン103aを形成する。

第3図(e)参照

次いで通常のMOSトランジスタの形成方法に従って、

熱酸化法により該再結晶シリコン層パターン103a上にゲート酸化膜5を形成し、

CVD法により該主面上に多結晶シリコン層を形成し、

該多結晶シリコン層のパターンニングを行って該ゲート酸化膜5上に多結晶シリコン・ゲート電極6を形成し、

そのため該SOI層に形成されるMOSトランジスタのチャネル領域内に上記結晶粒界が存在した場合には、ソース、ドレイン領域形成後に行われるゲート酸化膜の表面単位を減少させるためのアニール処理(1050℃程度)、層間絶縁膜のリフロー処理(1050℃程度)によって上記結晶粒界を伝ってソース、ドレイン領域の不純物が急速に拡散し、ソース・ドレイン間ショート、閾値電圧の変動、リーク電流の増大等の性能劣化を生じ、製造歩留りも大幅に低下するという問題があった。

(問題点を解決するための手段)

上記問題点の解決は、絶縁基体上に配設された再結晶半導体層に形成され、少なくともチャネル領域のみが選択的に結晶粒界のない単結晶層よりなる本発明による絶縁ゲート型トランジスタ、及び絶縁基体上に非単結晶半導体層を成長させる工程と、該半導体層上に反射防止膜を形成する工程と、該反射防止膜に該半導体層に形成されるトランジスタのチャネルとなる領域を表出する開孔を形成する工程と、該反射防止膜上からレーザ・ビ

ーム走査を行って該半導体層を順次溶融再結晶させ該開孔の下部に選択的に単結晶領域を形成する工程と、該単結晶領域上に絶縁ゲートを形成する工程とを含む本発明による絶縁ゲート型トランジスタの製造方法によって達成される。

〔作用〕

即ち本発明は、SOI技術において小領域であれば結晶粒界のない単結晶領域を再現性良く形成することが極めて容易なことから、少なくとも絶縁ゲート型トランジスタの性能劣化に最も影響を及ぼすチャネル領域のみを選択的に結晶粒界の存在しない単結晶領域とするSOI構造の絶縁ゲート型トランジスタとその製造方法を提案するものであり、これによってSOI構造の性能劣化が防止されその製造歩留りの向上が図れる。

〔実施例〕

以下本発明を一実施例について、第1図(a)乃至(e)に示す製造工程断面図、及び第2図に示すレーザー・ビーム走査における温度プロファイル図を参照し、製造方法によって具体的に説明する。

形するのを押さえる働きをも兼ねる。

第1図(a)参照

次いで上記基板を例えば450℃程度に空気中で加熱した状態で、上記反射防止膜4上から該基板面を例えばアルゴンイオン・レーザービーム13により矢印m(第4図と同様)のように走査し、該多結晶シリコン層3を順次溶融再結晶させて該シリコン層を再結晶シリコン層103とする。(203は溶融シリコン領域)

なおこの際のレーザービームは、反射率2~5%程度の反射防止膜4下部ではシリコンが十分に溶融され、反射率32~40%を有するシリコン面は直に当たったレーザービームによっては溶融されないような強度及び走査速度に調整される。

かかる条件の一例は、

レーザー出力	10W
ビーム・スポット径	50μm
走査速度	5cm/秒

程度である。

上記条件のレーザービーム走査により反射防止膜

全面を通じ同一対象物は同一符号で示す。

第1図(b)参照

本発明に係わるSOI構造のMOSトランジスタを形成する際には、従来通りシリコン基板1上に熱酸化法で厚さ1μm程度のSiO₂絶縁膜2を形成し、該絶縁膜2上にCVD法により厚さ例えば4000Å程度の多結晶(若しくは非晶質)シリコン層3を形成し、所定濃度の硼素(B)をイオン注入して該多結晶シリコン層3をp型化する。

第1図(c)参照

次いで例えば熱酸化法で該多結晶シリコン層3上に厚さ300Å程度のSiO₂薄膜21を形成し、次いでCVD法により該SiO₂薄膜21上に厚さ300Å程度の窒化シリコン(Si₃N₄)膜22を形成し、

次いで通常のフォトリソグラフィ技術により、該Si₃N₄膜22とSiO₂薄膜21にMOSトランジスタのチャネルが形成される領域A_{ch}を表出する開孔23を形成する。

なおSiO₂薄膜21とSi₃N₄膜22は反射防止膜4であり、Si₃N₄膜22は且つ溶融したシリコン層が変

の開孔23の下部領域はレーザービームの中心が開孔23の中心を通過した際第2図のカーブCに示すような温度プロファイルになり、該領域のシリコン層は周囲の反射防止膜4下部の溶融されているシリコン層の余熱によって溶融される。

そしてビーム通過後最低温度の中心部から再結晶化が始まって順次周囲に成長するので該領域は結晶粒界のない単結晶領域113となり、反射防止膜4の下部領域は従来同様の再結晶シリコン層103となる。

なお前述したようにオーバーラップして走査されるレーザービームの中心以外の部分が開孔23上を通過しても、単結晶領域113が再び溶融されることはないで、開孔部の結晶粒界の無い単結晶領域はその儘維持される。

また上記レーザービーム走査において、ビーム・スポット系は少なくとも走査方向に直角な方向の開孔23幅より大きいことが必要である。

第1図(d)参照

反射防止膜4のSi₃N₄膜22を硫酸ボイル等の方

法で除去し、 SiO_2 薄膜 21 を弗酸系の液で除去した後、通常のフォトリソグラフィ技術により上記単結晶領域 113 を含む再結晶シリコン層 103 をトランジスタ形状にパターンニングする。 P_{11} は同トランジスタ形状シリコンパターンを示す。

第 1 図 (e) 参照

次いで熱酸化法により該パターン P_{11} のシリコン層 (113 及び 103) の表面に所定の厚さのゲート酸化膜 5 を形成し、次いで CVD 法で該基板上に厚さ例えば 4000 Å 程度の多結晶シリコン層を形成し、通常のフォトリソグラフィ技術によって該多結晶シリコン層のパターンニングを行って該シリコンパターン P_{11} の単結晶領域 113 上に多結晶シリコン・ゲート電極 6 を形成する。

第 1 図 (f) 参照

次いで通常とおりゲート電極 6 をマスクにしシリコンパターン P_{11} の再結晶シリコン層 103 に砒素 (As) を所定の高濃度にイオン注入し、所定のアニール処理を施して n^+ 型ソース領域 7 及び n^+ 型ドレイン領域 8 を形成し、本発明の特徴を

有するトランジスタ構造が完成する。

即ち本発明の構造においては、例えば上記の方法によって SiO_2 絶縁膜 2 上の再結晶シリコン層 103 よりなるシリコンパターン P_{11} に選択的に形成された結晶粒界のない単結晶領域 113 上にゲート酸化膜 5 及びゲート電極 6 よりなる絶縁ゲートが形成されてなっており、該単結晶領域 113 内にチャンネル領域 ch が形成される。

従って以後の高温熱処理工程におけるソース、ドレイン領域の不純物の拡散による、ソース・ドレイン間ショート、閾値電圧の変動、リーク電流の増大等は防止され、且つチャンネル領域のキャリア移動度も低下しないので動作速度の低下も防止される。

第 1 図 (g) 参照

そして以後通常の方法により、層間絶縁膜 9 を形成し、該層間絶縁膜 9 にコンタクト窓 10 を形成し、該層間絶縁膜 9 上にソース配線 11 及びドレイン配線 12 を形成し本発明に係わる SOI 構造の MOS トランジスタが完成せしめらる。

(発明の効果)

以上説明のように本発明に係わる SOI 構造の MOS トランジスタ即ち絶縁基体上の絶縁ゲート型トランジスタにおいては、ソース及びドレイン領域は再結晶シリコン層に形成されるが、少なくともゲート下部のチャンネル領域は、該再結晶シリコン層内に選択的に形成した単結晶領域に形成されるので、ソース・ドレイン間ショート、閾値電圧の変動、リーク電流の増大等は防止され、且つチャンネル領域のキャリア移動度も低下しないので動作速度の低下も防止される。

従って本発明は SOI 構造の半導体集積回路装置等の性能及び製造歩留りの向上に有効である。

4. 図面の簡単な説明

第 1 図 (a) 乃至 (g) は本発明に係わる SOI 構造の絶縁ゲート型トランジスタの製造方法の一実施例を示す工程断面図。

第 2 図はレーザビーム走査における温度プロフィール図、

第 3 図 (a) 乃至 (e) は従来の製造方法を示す工程断

面図、

第 4 図はレーザビーム走査の方法を示す模式平面図である。

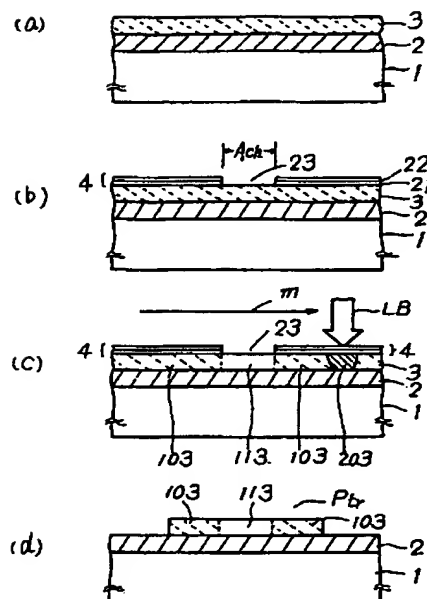
図において、

- 1 はシリコン基板、
- 2 は二酸化シリコン絶縁膜、
- 3 は多結晶シリコン層、
- 4 は反射防止膜、
- 5 はゲート酸化膜、
- 6 はゲート電極、
- 7 はソース領域、
- 8 はドレイン領域、
- 21 は二酸化シリコン薄膜、
- 22 は窒化シリコン膜、
- 103 は再結晶シリコン層、
- 113 は単結晶領域、
- 203 は溶融シリコン領域、
- ch はチャンネル領域、
- A_{cs} はチャンネル形成領域、
- LB はレーザビーム

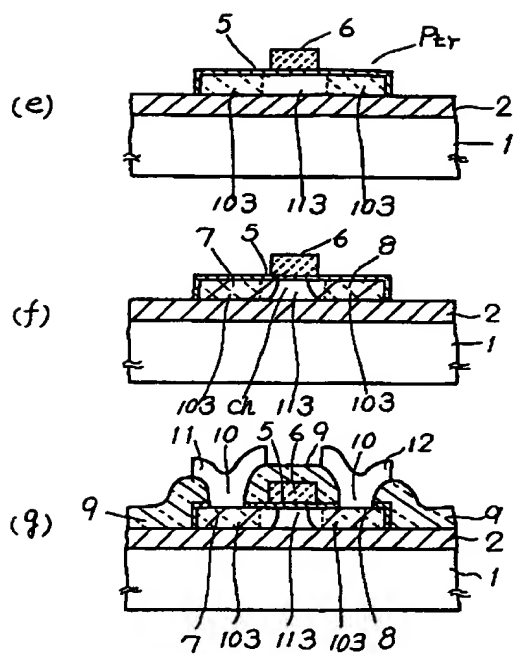
を示す。

第 1 圖

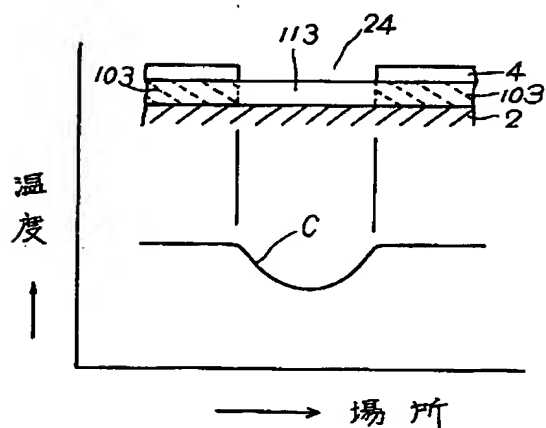
代理人 弁理士 松岡宏四郎



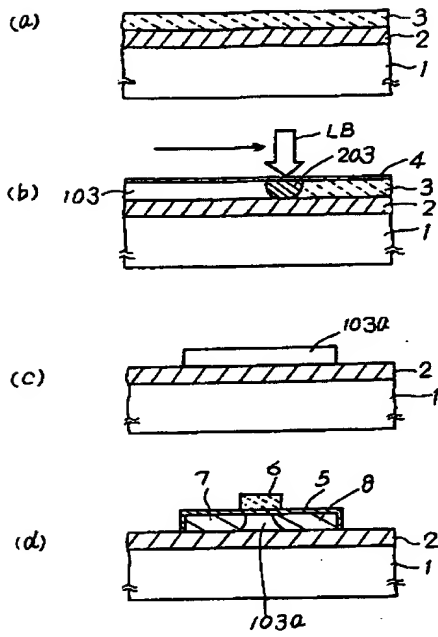
第 1 圖



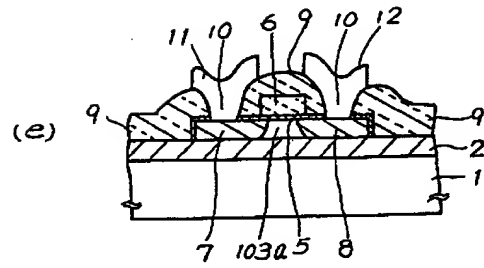
第 2 図



第 3 図



第 3 図



第 4 図

